

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-166740
(43)Date of publication of application : 22.06.2001

(51)Int.Cl.

G09G 3/36

G02F 1/133

G09G 3/20

H04N 5/66

H04N 9/30

(21)Application number : 11-345344

(71)Applicant : NEC CORP

(22)Date of filing : 03.12.1999

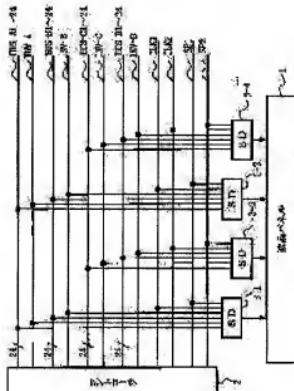
(72)Inventor : NISHIMURA MITSUHISA

(54) DRIVING CIRCUIT FOR LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a driving circuit for a liquid crystal display device capable of reducing variation amounts in each bit value of data transmitted via a bus line, in the driving circuit for the liquid crystal display device wherein image data are transmitted to a liquid crystal panel.

SOLUTION: In the case that a majority of image data have to be reversed in polarity for being outputted to a bus line, a controller 2 reverses the polarity of all the data signals for every four output ports, and outputs individual data BUS-A1~24, BUS-B1~24, BUS-C1~24, BUS-D1~24 from each output port to the bus line. Moreover since the controller 2 is arranged so as to output polarity reversal signals INV-A~D designating that the polarity of the data signals to be outputted to the bus line is reversed for every four output ports, it is possible to reduce the variation amounts in polarity of the outputs to the bus line to the half of the data signals or less.



LEGAL STATUS

[Date of request for examination] 10.11.2000

[Date of sending the examiner's decision of rejection] 22.07.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2003-016157

[Date of requesting appeal against examiner's decision of rejection] 21.08.2003

[Date of extinction of right]

(51)Int.Cl.	識別番号	P I	チ-コド(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 A 5 C 0 5 8

審査請求 有 請求項の数 6 O L (全 12 頁) 最終頁に続く

(21)出願番号 特願平11-345344

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成11年12月3日(1999.12.3)

(72)発明者 西村 光久

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100108578

弁理士 高橋 誠男 (外3名)

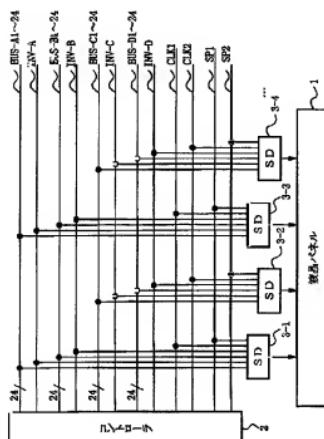
(54)【発明の名称】 液晶表示装置の駆動回路

最終頁に続く

(57)【要約】

【課題】 画像データを液晶パネルへ転送する液晶表示装置の駆動回路において、バスラインで転送されるデータの各ビットの値の変化量を低減することができる液晶表示装置の駆動回路を実現する。

【解決手段】 コントローラ2は、4つの出力ポート毎に、バスラインへの出力に極性の変化を生じさせるデータ信号が過半数以上ある場合には、全データ信号の極性を反転して、各出力ポートから各データBUS-A1～24、BUS-B1～24、BUS-C1～24、BUS-D1～24をバスラインへ出力する。また、コントローラ2は、4つの出力ポート毎に、バスラインへ出力されるデータ信号の極性が反転されていることを示す極性反転信号INV-A～Dを出力するようにしたので、バスラインへの出力の極性の変化量を転送するデータ信号の半数以下に低減することができる。



【特許請求の範囲】

【請求項1】複数の転送データ信号がに出力される該転送データ信号数幅のバスラインを有する液晶表示装置の駆動回路において、

前記複数の転送データ信号として前記バスラインへ出力される複数のデータ信号の中で、過半数以上が前記バスラインへの出力に極性の変化を生じさせる場合に、該複数のデータ信号の極性を全て反転して該バスラインへ出力することを示す極性反転信号を出力するデータ極性反転判定手段と、

前記データ極性反転判定手段から出力される前記極性反転信号に応じて、入力される前記複数のデータ信号の極性を全て反転し前記複数の転送データ信号として出力する極性反転手段と、

前記複数の転送データ信号を前記複数のデータ信号の極性を全て反転して該バスラインへ出力するデータ極性反転手段と、

前記データ極性反転手段から出力される前記極性反転信号に応じて、入力される前記複数のデータ信号の極性を全て反転し前記複数の転送データ信号として出力する極性反転手段と、

前記複数の転送データ信号がに出力される該転送データ信号数幅のバスラインを有する液晶表示装置の駆動回路において、

複数の入力データ信号を入力クロックに同期してラッチし、複数の第一のデータ信号として出力する第一のラッチ回路と、

入力される第一の極性反転信号が所定の反転指示レベルの場合に、前記複数の第一のデータ信号の極性を全て反転し、複数の第二のデータ信号として出力する第一の極性反転回路と、

前記複数の入力データ信号と前記複数の第二のデータ信号の対応する信号同士において、極性の異なる数が該信号数の過半数以上ある場合に、第二の極性反転信号を前記反転指示レベルとして出力するデータ極性反転判定回路と、

前記第二の極性反転信号を前記入力クロックに同期してラッチし、前記第一の極性反転信号として出力する第二のラッチ回路と、

前記第二の極性反転信号を前記入力クロックに同期してラッチし、前記第一の極性反転信号として出力する第二のラッチ回路と、

前記第一の極性反転信号を前記入力クロックに同期してラッチし、第三の極性反転信号として出力する第四のラッチ回路と、

を具備することを特徴とする請求項3に記載の液晶表示装置の駆動回路。

【請求項4】前記複数の第二のデータ信号を前記入力クロックに同期してラッチし、前記複数の転送データ信号として出力する第三のラッチ回路と、

前記第一の極性反転信号を前記入力クロックに同期してラッチし、第三の極性反転信号として出力する第四のラッチ回路と、

を具備することを特徴とする請求項3に記載の液晶表示装置の駆動回路。

【請求項5】前記第一乃至第四のラッチ回路と前記極性反転回路と前記データ極性反転判定回路とを複数のバスラインのそれぞれに具備することを特徴とする請求項4に記載の液晶表示装置の駆動回路。

【請求項6】前記入力クロックは、前記複数のバスラインの半数に対応する該入力クロックと他の半数に対応する該入力クロックとでは位相が半周期ずれていることを特徴とする請求項4に記載の液晶表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンピュータなどの表示装置に用いられる液晶表示装置に係り、特に、液晶パネルの駆動回路に用いて好適な液晶表示装置の駆動回路に関する。

【0002】

【従来の技術】近年、CRT(Cathode Ray Tube)よりも明るさと高解像度とを比較的両立させやすい液晶パネルを用いた液晶表示装置が、コンピュータや携帯端末などの表示装置として使用されている。図10は、その液晶表示装置の液晶パネルを駆動する従来の駆動回路の構成を示すブロック図である。この図において、1は画像を表示する液晶パネル、101は液晶パネル1によって表示される画像データを48ビットのデータBUS1～48として1個のポートから、48ビットのバスラインを介して出力するコントローラ、102-m (mは1以上の整数)はこのコントローラ101によって出力されるデータBUS1～48から、画像を表示するための駆動信号を発生して液晶パネル1を駆動するソースドライバ(以下、SDと称する)である。なお、このSDの個数を示すmが10の場合について以下に説明する。また、図10において、SD102-5～10は示していない。この図10に示されるコントローラ101がに出力するデータBUS1～24は、SD102-1～10の内で奇数番目の各SD102-1、3、5、7、9に接続される。同様に、コントローラ101がに出力するクロックCLK3および制御信号SP3も、奇数番目の各SD102-1、3、5、7、9に接続される。一方、コントローラ101がに出力するデータBUS25～48は、SD102-1～10の内で偶数番目の各SD102-2、4、6、8、10に接続され、同様に、コントローラ101がに出力するクロックCLK4および制御信号SP4も、偶数番目の各SD102-2、4、6、8、10に接続される。なお、上記データBUS1～24とデータBUS25～48のそれぞれ24ビットの信号の内訳は、赤(R)、緑(G)、青(B)の各8ビットの信号であり、これらR、G、B信号によって256階調のカラー表示が実現される。

【0003】このような構成の従来の液晶表示装置の駆動回路では、奇数番目の各SD102-1、3、5、7、9は、それぞれコントローラ101からクロックCLK3に同期して出力されるデータBUS1～24を制御信号SP3のタイミングでラッチする。一方、偶数番目の各SD102-2、4、6、8、10は、それぞれ

コントローラ101からクロックCLK4に同期して出力されるデータBUS1～48を制御信号SP4のタイミングでラッチする。次いで、各SD102-1～10は、液晶パネル1への駆動開始を指示する各駆動開始信号(図示されていない)が入力されると、それぞれにラッチしたデータBUS1～24または25～48に基づいた駆動信号を発生する。これら各SD102-1～10によって発生される駆動信号が液晶パネル1に入力されると、その液晶パネル1上に画像が表示される。なお、液晶パネル1を駆動するSD102-1～10には、画像データの転送周波数である入力されるクロックCLK3、4の周波数に一定の制限がある。その制限周波数以下に画像データの転送周波数を下げるために、コントローラ101から各SD102-1～10へ画像データを転送するバスラインを24ビットずつに分けて、奇数番目の各SD102-1、3、5、7、9と偶数番目の各SD102-2、4、6、8、10とへそれぞれ転送する。

【0004】

【発明が解決しようとする課題】しかし、上述した従来の液晶表示装置の駆動回路では、バスラインで転送されるデータBUS1～48の各ビットの値の変化量が多いと、液晶表示装置の駆動回路の消費電力が大きくなってしまうという問題がある。また、そのデータBUS1～48を転送するバスラインは、液晶パネル1の周囲の横方向に配線されるので長くなり、またその本数も多いのでアンテナ効果をもたらす場合がある。そのため、そのバスラインで転送されるデータBUS1～48の各ビットの値の変化量が多いと、この各ビットの値の変化に起因して放射される電磁妨害雑音が大きくなり電磁妨害雑音特性(EMI特性)が悪くなる。この放射される電磁妨害雑音は、周辺の電子機器に誤動作等の悪影響を与える原因となるものであり、精密電子機器の近傍や計算機室などにおいて使用される液晶表示装置において、このEMI特性が悪い場合には、非常に大きな問題となる。

【0005】さらに、その電磁妨害雑音の放射を低減するために高価なEMI対策用部品を使用する必要があり、液晶表示装置のコストが大きくなる。さらに、その放射される電磁妨害雑音がバスラインに起因するノイズか否かを切り分けることが難しく、その放射要因の特定ができないという問題もある。また、そのデータBUS1～48の各ビットの値の変化量が多い場合には、バスライン間において、クロストークノイズが発生してデータ誤りの原因になるという問題もある。本発明は、このような事情を考慮してなされたもので、その目的は画像データを液晶パネル1へ転送する液晶表示装置の駆動回路において、バスラインで転送されるデータの各ビットの値の変化量を低減することができる液晶表示装置の駆動回路を提供することにある。

【0006】

【課題を解決するための手段】上記の課題を解決するために、請求項1に記載の発明は、複数の転送データ信号が転送される該転送データ信号数幅のバスラインを有する液晶表示装置の駆動回路において、前記複数の転送データ信号として前記バスラインへ出力される複数のデータ信号の中で、過半数以上が前記バスラインへの出力に極性の変化を生じさせる場合に、該複数のデータ信号の極性を全て反転して該バスラインへ出力することを示す極性反転信号を出力するデータ極性反転判定手段と、前記データ極性反転判定手段から出力される前記極性反転信号に応じて、入力される前記複数のデータ信号の極性を全て反転し前記複数の転送データ信号として出力する極性反転手段とを備備してなるものである。請求項2に記載の発明は、請求項1に記載の発明において、前記データ極性反転判定手段と前記極性反転手段とを複数のバスラインのそれぞれに具備することを特徴とする。

【0007】請求項3に記載の発明は、複数の転送データ信号が転送される該転送データ信号数幅のバスラインを有する液晶表示装置の駆動回路において、複数の入力データ信号を入力クロックに同期してラッチし、複数の第一のデータ信号として出力する第一のラッチ回路と、入力される第一の極性反転信号が所定の反転指示レベルの場合に、前記複数の第一のデータ信号の極性を全て反転し、複数の第二のデータ信号として出力する極性反転回路と、前記複数の入力データ信号と前記複数の第二のデータ信号の対応する信号同士において、極性の異なる数が該信号数の過半数以上ある場合に、第二の極性反転信号を前記反転指示レベルとして出力するデータ極性反転判定回路と、前記第二の極性反転信号を前記入力クロックに同期してラッチし、前記第一の極性反転信号として出力する第二のラッチ回路とを備備してなるものである。請求項4に記載の発明は、請求項3に記載の発明において、前記複数の第二のデータ信号を前記入力クロックに同期してラッチし、前記複数の転送データ信号として出力する第三のラッチ回路と、前記第一の極性反転信号を前記入力クロックに同期してラッチし、第三の極性反転信号として出力する第四のラッチ回路とを備備することを特徴とする。

【0008】請求項5に記載の発明は、請求項4に記載の発明において、前記第一乃至第四のラッチ回路と前記極性反転回路と前記データ極性反転判定回路とを複数のバスラインのそれぞれに具備することを特徴とする。請求項6に記載の発明は、請求項5に記載の発明において、前記入力クロックは、前記複数のバスラインの半数に対応する該入力クロックと他の半数に対応する該入力クロックとでは位相が半周期ずれていることを特徴とする。

【0009】

【発明の実施の形態】以下、図面を参照し、本発明の実施形態について説明する。図1は同実施形態による液

品表示装置の駆動回路の構成を示すブロック図である。この図において、1は画像を表示する液晶パネル、2は液晶パネル1によって表示される画像データを24ビットずつデータBUS-A1～24、BUS-B1～2～4、BUS-C1～24、BUS-D1～24として4個のポートに分割して出力し、その画像表示を制御するコントローラ、3-m (mは1以上上の整数)はこのコントローラ2によって出力されるデータBUS-A1～24、BUS-B1～24、BUS-C1～24、BUS-D1～24から、画像を表示するための駆動信号を発生して液晶パネル1を駆動するソースドライバ(以下、SDと称する)である。この液晶パネル1を駆動するSD3-mは、1個のSDによって複数の画素表示に対応する各駆動信号を発生するものであって、m個のSD3-mによって液晶パネル1全体が駆動されて画像が表示される。例えば、図1に示される一実施形態においては、液晶パネル1の画素数は1280であり、1個のSDの画素駆動数は128、SDの個数を示すmは10である。この10個のSD3-1～10の内、3-1が第一番目のSD、3-2が第二番目のSD、3-3が第三番目のSD、3-4が第四番目のSDであり、第五番目から第10番目のSD3-5～10は図示していない。なお、各SD3-1～10は、1画素当たり赤(R)、緑(G)、青(B)の3原色分を駆動するので、1個当たりのSDの出力数は128の3倍である384となっているが、図1ではそれら384本の出力を1本で表示して示している。

〔0010〕この図1に示されるコントローラ2が送出するデータBUS-A1～24とBUS-B1～24とは、各々24ビット幅のバスラインを介して、SD3-1～10の内で奇数番目の各SD3-1、3、5、7、9に接続される。同様に、コントローラ2が送出する極性反転信号INV-A、INV-BとクロックCLK1および制御信号SP1も、奇数番目の各SD3-1、3、5、7、9に接続される。一方、コントローラ2が送出するデータBUS-C1～24とBUS-D1～24とは、各々24ビット幅のバスラインを介して、SD3-1～10の内で偶数番目の各SD3-2、4、6、8、10に接続され、同様に、コントローラ2が送出する極性反転信号INV-C、INV-DとクロックCLK2および制御信号SP2も、偶数番目の各SD3-2、4、6、8、10に接続される。なお、上述した図1に示す実施形態においては、奇数番目の各SD3-1、3、5、7、9と偶数番目の各SD3-2、4、6、8、10とに各々2ポートの出力を割り当てるによって、クロックCLK1またはCLK2の1クロック当たりの駆動画素数を2画素として各クロック周波数を1/2に減らしている。例えば、SD3-1においては、クロックCLK1の1クロック時間で、同時に、データBUS-A1～24とデータBUS-B1～24と

データが各々 2つの画素に供給される。また、上記データBUS-A1～24、B1～24、C1～24、D1～24のそれぞれ24ビットの信号の内訳は、赤(R)、緑(G)、青(B)の各8ビットの信号であり、これらR、G、B信号によって256階調のカラー表示が実現される。

【0011】次に、上述した図1に示される構成の液晶表示装置の駆動回路において、液晶パネル1が駆動されで画像が表示される動作について説明する。先ず、奇数番目の各SD3-1、3、5、7、9にはコントローラ2からクロックCLK1に同期して出力されるデータBUS-A1～24、BUS-B1～24、極性反転信号INV-A、INV-Bの各信号が入力され、同じく入力される制御信号SP1のタイミングでそれら入力される信号はラッチャされる。このラッチャされた極性反転信号INV-Aは、同じくラッチャされたデータBUS-A1～24の極性が反転されているか否かを示しており、また、ラッチャされた極性反転信号INV-Bは、同じくラッチャされたデータBUS-B1～24の極性が反転されているか否かを示す。次いで、これらラッチャした極性反転信号INV-A、INV-Bに応じて、各SD3-1、3、5、7、9はラッチャしたデータBUS-A1～24、BUS-B1～24の極性を反転する。一方、偶数番目の各SD3-2、4、6、8、10にはコントローラ2からクロックCLK2に同期して出力されるデータBUS-C1～24、BUS-D1～24、極性反転信号INV-C、INV-Dの各信号が入力され、同じく入力される制御信号SP2のタイミングでそれら入力される信号はラッチャされる。このラッチャされた極性反転信号INV-CはラッチャされたデータBUS-C1～24の極性が反転されているか否かを示し、同様に、ラッチャされた極性反転信号INV-DはラッチャされたデータBUS-D1～24の極性が反転されているか否かを示す。次いで、各SD3-2、4、6、8、10は、それら極性反転信号INV-C、INV-Dに応じて、データBUS-C1～24、BUS-D1～24の極性を反転する。次いで、各SD3-1～10は、液晶パネル1への駆動開始を指示する各駆動開始信号(図示されていない)が入力されると、それぞれに極性が反転されたあるいは未反転のデータBUS-A1～24、BUS-B1～24～24またはデータBUS-C1～24、BUS-D1～24に基づいた駆動信号を発生する。これら各SD3-1～10によって発生される駆動信号が液晶パネル1に入力されると、その液晶パネル1上に画像が表示される。

【0012】次に、図2～図7を参照して、上述したコントローラ2に具備されるデータ出力部4の構成とその動作について説明する。先ず、図2はそのコントローラ2に具備されるデータ出力部4の構成を示すブロック図である。この図2に示されるように、データ出力部4は

4個のポートA～Dを有している。これら各ポートA～Dが、上述したデータBUS-A1～24、BUS-B1～24、BUS-C1～24、BUS-D1～24およびINV-A～Dの各信号をそれぞれ生成して出力する。この各ポートA～Dから出力される信号はポートA～D毎に設けられるデータ極性反転判定・生成部10-1～10-4によって生成される。これらデータ極性反転判定・生成部10-1～10-4には、96ビットのデータBUS1～96、24ビットずつ4つに分割されて入力される。この四つに分割されるデータBUS1～96の内、データBUS1～24はデータ極性反転判定・生成部10-1に、データBUS25～48はデータ極性反転判定・生成部10-2に、データBUS49～72はデータ極性反転判定・生成部10-3に、データBUS73～96はデータ極性反転判定・生成部10-4に、それぞれ入力される。また、クロックCLK1はデータ極性反転判定・生成部10-1、10-2へ入力され、クロックCLK2はデータ極性反転判定・生成部10-3、10-4へ入力される。これらクロックCLK1、2は、上述したように、コントローラ2から出力される。

【0013】次いで、ポートAのデータ極性反転判定・生成部10-1はデータBUS1～24の極性を反転するか否かを判定し、この判定結果に応じてデータ極性を反転しデータBUS-A1～24として出力する。さらに、この出力されるデータBUS-A1～24の極性が反転されている時には、同時に、極性が反転されていることを示す極性反転信号INV-Aを「H」として出力する。また、他のポートB～Dの各データ極性反転判定・生成部10-2～4においては、同様に、各々入力されるデータBUS25～48、BUS49～72、BUS73～96の極性を反転するか否かを判定し、これらの判定結果に応じてデータ極性を反転しデータBUS-B1～24、BUS-C1～24、BUS-D1～24として出力する。また、これら出力するデータBUS-B1～24、BUS-C1～24、BUS-D1～24の極性が反転されている時には、同時に、各ポートB～Dが出力する極性反転信号INV-B～Dを各々「H」として出力する。

【0014】図3は、上述したクロックCLK1、2およびデータBUS1～96、BUS-A1～24、BUS-B1～24、BUS-C1～24、BUS-D1～24の位相関係を示す波形図である。図3(a)～(c)に示されるように、データBUS1～48はクロックCLK1の立ち上がりエッジ(図3ではPA1～3のタイミング)に同期して変化し、データBUS-A1～24、BUS-B1～24はクロックCLK1の立ち下がりエッジ(図3ではPB1～3のタイミング)に同期して変化する。一方、図3(d)～(f)に示されるように、データBUS49～96はクロックCLK2の

立ち上がりエッジ(図3ではPB1～3のタイミング)に同期して変化し、データBUS-C1～24、BUS-D1～24はクロックCLK2の立ち下がりエッジ(図3ではPA1～3のタイミング)に同期して変化する。また、図(a)、(d)に示されるように、クロックCLK1の位相とクロックCLK2の位相とは半周期(180°)ずれている。

【0015】ところで、上述したように、コントローラ2からはデータBUS1～96が4個のポートA～Dに分かれて出力されるが、これらポートA～Dが同じタイミングで各信号を変化して出力するとコントローラ2の瞬時電流が大きくなってしまう。この問題を解決するために、上記のようにクロックCLK1の位相とクロックCLK2の位相を半周期ずらし、ポートA、Bの出力変化とポートC、Dの出力変化とは半周期ずれたタイミングとしている。このようにポートA、BとポートC、Dの各出力変化をずらすことによって、4個のポートA～Dに分けて出力する場合においても同時に出力が変化するのではなく2ポート分なので、コントローラ2の瞬時電流を2個のポートで出力する場合の瞬時電流と同程度に抑えることができる。

【0016】次に、データ極性反転判定・生成部10-1～4の構成とその動作について説明する。図4はデータ極性反転判定・生成部10-1～4のいずれか1つの一構成例を示すブロック図であって、データ極性反転判定・生成部10-1～4は全て同じ構成である。図4において、図2の各データ極性反転判定・生成部10-1～4への入力であるデータBUS1～24、BUS25～48、BUS49～72、BUS73～96が入力されるデータda1～24であり、クロックCLK1、2が入力されるクロックc1kである。また、出力されるデータdd1～24が各データ極性反転判定・生成部10-1～4から出力されるデータBUS-A1～24、BUS-B1～24、BUS-C1～24、BUS-D1～24であり、出力される信号inv3が極性反転信号INV-A～Dである。11はデータda1～24とデータdc1～24の各24ビットの内で値の異なるビットが過半数以上(13ビット以上)有った場合に、データ極性の反転を指示する信号inv1を「H」として出力するデータ極性反転判定回路、12は入力される信号inv2が「H」の区間に入力されるデータdb1～24の全ビットの極性を反転して出力する極性反転回路である。13～1～24は入力されるデータda1～24をクロックc1kの立ち下がりエッジで各々ラッチし、データdb1～24として出力するDフリップフロップ、14～1～24は入力されるデータdc1～24をクロックc1kの立ち下がりエッジで各々ラッチし、データdd1～24として出力するDフリップフロップである。15、16は各々入力される信号inv1、inv2をクロックc1kの立ち下がりエッジでラッチ

し、信号 i_{nv2} 、 i_{nv3} として各々出力する D フリップフロップである。

【0017】図5は、上述した図4に示されるデータ極性反転判定・生成部10-1～4の各部の波形を示す波形図である。いま、入力クロック $c1k$ を図5 (a) に、また入力データ $d1a1$ ～ $d1a24$ を図5 (b) に示すものとする。図5 (b) に示されるように入力データ $d1a1$ ～ $d1a24$ は初め24ビット全てが1であり、クロック $c1k$ の立ち上がりエッジ1のタイミングで24ビット全てが1から0に変化し、立ち上がりエッジ2のタイミングで24ビット全てが0から1に変化する。このように変化するデータ $d1a1$ ～ $d1a24$ が入力されると D フリップフロップ13-1～24の出力は図5 (c) に示す波形となり、クロック $c1k$ の立ち下がりエッジ2のタイミングで24ビット全てが1から0に変化し、立ち下がりエッジ3のタイミングで24ビット全てが0から1に変化する。

【0018】図5 (d) は極性反転回路12の出力データ $d1c1$ ～ $d1c24$ の波形を示し、図5 (e) の波形に示す D フリップフロップ15の出力信号 i_{nv2} が「H」の区間にに入力されるデータ $d1b1$ ～ $d1b24$ の全ビットが、極性反転回路12によって0から1に反転されて出力される。図5 (b) のデータ $d1a1$ ～ $d1a24$ と図5 (d) のデータ $d1c1$ ～ $d1c24$ とがデータ極性反転回路11に入力されると、 $t1$ のタイミングでデータ $d1a1$ ～ $d1a24$ が全て0となることによってデータ $d1c1$ ～ $d1c24$ と異なるビット数が過半数以上となり、データ極性反転回路11は信号 i_{nv1} を「H」として出力する。このデータ極性反転回路11から出力される信号 i_{nv1} の「H」を $t2$ のタイミングで D フリップフロップ15がラッ奇して信号 i_{nv2} に「H」を出力する。次いで、 $t3$ のタイミングでデータ $d1a1$ ～ $d1a24$ が全て1となることによってデータ $d1c1$ ～ $d1c24$ と異なるビット数が過半数未満となり、データ極性反転回路11は信号 i_{nv1} を「L」として出力し、 $t4$ のタイミングで D フリップフロップ15によってラッ奇され、信号 i_{nv2} は「L」となる。図5 (f) は D フリップフロップ14-1～24が出力するデータ $d1d1$ ～ $d1d24$ の波形を示し、図5 (d) に示すデータ $d1c1$ ～ $d1c24$ がクロック $c1k$ の立ち下がりエッジのタイミングでラッ奇され出力されており、全ビット変化が無く1である。また、図5 (g) は D フリップフロップ16が出力する信号 i_{nv3} の波形を示し、入力データ $d1a1$ ～ $d1a24$ の極性が0から1に反転されてデータ $d1d1$ ～ $d1d24$ に 出力されるタイミング $t4$ ～ $t5$ の区間に「H」となる。

【0019】次に、図6はデータ極性反転判定回路11の一構成例を示す回路図である。この図において、21は24個のEOR(Exclusive OR)回路23で構成され、図4のデータ $d1a1$ ～ $d1a24$ とデータ $d1c1$ ～ $d1c24$ との対応する各ビット同士で排他的論理和をとることによつ

て、データ $d1c1$ ～ $d1c24$ からデータ $d1a1$ ～ $d1a24$ の各ビットの極性の変化を検出する極性変化検出回路、22は24個のEOR回路23の出力から13個の出力を選択して論理積をとる組合せ数分の13入力AND回路24とそれら13入力AND回路24の全ての出力の論理和をとるOR回路25で構成される多数決回路である。この多数決回路によって、極性変化検出回路21の各出力 $A1$ ～ $A24$ のうち、「H」となる出力数が過半数の13以上の場合は出力信号 i_{nv1} を「H」とし、「H」となる出力数が過半数未満の12以下の場合は出力信号 i_{nv1} を「L」とする。

【0020】図7は極性変化検出回路21の動作について説明するための表であり、第一行目は入力データ $d1a1$ ～ $d1a24$ 、 $d1c1$ ～ $d1c24$ および極性変化検出回路21の出力 $A1$ ～ $A24$ の各ビット番号 n (n は1～24の整数) であり、第二～第四行目は各ビット番号 n に対応するデータ $d1an$ 、 $d1cn$ 、EOR回路23の出力 A_n の値の例である。この表において、ビット番号2～5、23のデータ $d1an$ 、 $d1cn$ の値が異なっており、それら値が異なっているビットに対応するビット番号2～5、23の出力 A_n の値が「H」となる。このように検出された異なるビットの数が過半数の13以上の場合に、出力信号 i_{nv1} は「H」が出力される。図8は上述したデータ出力部4において、出力ポートを4個のポート A ～ D に分割し、ポート A ～ D 毎にデータ極性を反転することにより得られる効果について説明するための表である。なお、説明の便宜上、データ極性反転判定・生成部に入力されるデータの総ビット数を24とし、出力ポートを2個のポートに分割して12ビットずつデータ極性を反転する場合について説明する。

【0021】図8 (a)～(d) において、第一行目は第二～第四行目に示すデータのビット番号 n (n は1～24の整数) であり、第二行目は1クロック前の出力データ X_n 、第三行目は現在の入力データ Y_n 、第四行目は第三行目に示す現在の入力データ Y_n に対応する出力データ Z_n である。なお、図8 (a)～(d) に示す表中のデータ X_n 、 Y_n 、 Z_n の値は一例であり、これらの表においては、データ X_n に対して、データ Y_n の24ビットの内で半分の12ビットの極性が変化する例が示されている。また、図8 (a) に示す表はデータ極性反転判定・生成部を1個用いて、24ビット単位でデータ反転を行った場合の例であり、図8 (b)～(d) に示す表はデータ極性反転判定・生成部を2個用いて、24ビットのデータをビット番号1～12と13～24の二つに分割して、12ビット単位でデータ反転を行った場合の例である。

【0022】先ず、図8 (a) に示す表のデータ X_n は全て「L」、データ Y_n は、ビット番号1～7、13～17の12ビットが「H」である。この図8 (a) の場合は、24ビット単位で過半数以上のデータの変化が有

るか否かが判定されるので、過半数未満の12ビットの変化のためにデータ反転されデータYnがそのまま出力データZnとなる。この結果、データ出力の変化量は12ビットとなり、24ビット単位でデータ反転を行う場合の最大変化量となる。次いで、図8(b)に示す表のデータXnは全て「L」、データYnは、ビット番号1~7、13~17の12ビットが「H」であり、図8(a)の場合と同じである。しかし、この図8(b)の場合は、12ビット単位で過半数以上のデータの変化があるか否かが判定されるので、ビット番号1~12の判定結果は過半数以上の7ビットの変化のためにデータ反転となり、ビット番号1~12の出力データZnはデータYnがデータ反転されたものとなる。一方、ビット番号13~24では5ビットしか変化せず、変化量が過半数に及ばないためデータ反転は行われない。この結果、データ出力の変化量はビット番号8~12の5ビット分とビット番号13~17の5ビット分の合計10ビットとなり、24ビット単位でデータ反転を行う場合に比べて2ビット分変化量が少ない。

【0023】同様に、図8(c)に示す表の場合は、ビット番号1~12のデータYnがデータ反転されてデータZnとして出力された結果、このデータ出力の変化量はビット番号9~12の4ビット分とビット番号13~16の5ビット分の合計8ビットとなり、24ビット単位でデータ反転を行う場合に比べて4ビット分変化量が少なくなる。さらに、図8(d)に示す表の場合は、ビット番号1~12のデータYnがデータ反転されてデータZnとして出力された結果、このデータ出力の変化量はビット番号1~10の3ビット分とビット番号13~15の3ビット分の合計6ビットとなり、24ビット単位でデータ反転を行う場合に比べて6ビット分変化量が少くなり、変化量を半分に抑えることができる。さらに、図示していないが、データYnのビット番号1~11、13の12ビットが「H」である場合には、同様にデータYnがデータ反転されてデータZnとして出力された結果、このデータ出力の変化量はビット番号12、13の2ビット分となる。また、データYnのビット番号1~12の12ビットが「H」である場合には、同様にデータYnがデータ反転されてデータZnとして出力された結果、このデータ出力の変化量は0ビット分(出力に極性の変化無し)となる。

【0024】上述したように24ビットの内で同じ12ビットの変化量のデータ入力に対し12ビットずつ二つに分割してデータ反転を行うことによって、24ビット単位でデータ反転を行う場合の最大変化量が12ビットである時に、二つに分割してデータ反転した場合の最小変化量は2ビットとなる。すなわち、12ビットずつ二つに分割してデータ反転を行うことによって、24ビット単位でデータ反転を行う場合に比べてデータ出力の変化量を最大で0に減らすことができる。なお、図8では

説明の便宜上、入力されるデータのビット数を24とし出力ポートを2個のポートに分割する例について説明したが、上述した一実施形態のように96ビットのデータBUS1~96を4個のポートA~Dに分割し、24ビット単位でデータ反転する場合においてもデータ出力の変化量を減らす効果が得られる。また、上述した一実施形態では、R、G、B各8ビットずつの合計24ビット単位でデータ反転する構成としたが、各色毎の8ビット単位でデータ反転する構成にしても良い。なお、上述した一実施形態では、256階調3色表示の場合について示したが、階調数または色数については種々変更することができる。

【0025】このようにデータ出力の変化量が減ることによって、データ出力部4のデータ出力に要する消費電力が低減される効果が得られる。この消費電力が低減される効果によって、上述した一実施形態による液晶表示装置の駆動回路では、データ反転機能を使用しない従来の液晶表示装置の駆動回路に比べて、消費電力が25%も低減した。さらに、データ出力の変化に起因して発生するノイズが低減されるという効果も得られる。

【0026】図9はこのノイズが低減されるという効果が得られた測定結果を示す波形図であり、この図に示す波形は、上述した一実施形態による液晶表示装置の駆動回路を用いて液晶パネル1を駆動した時の電磁妨害雑音特性(EMI特性)の測定結果である。なお、図9に示すEMI特性の測定においては、液晶表示装置に取り付けられるシールド板を外し、液晶表示装置の駆動回路および液晶パネル1から直接放射される電磁妨害雑音を測定した。また、図11に示す波形は、図9に示すEMI特性の測定と同一条件において測定された波形であって、データ反転機能を使用しない従来の液晶表示装置の駆動回路を用いて液晶パネル1を駆動した時のEMI特性を示す。図9と図11に示す波形において、横軸は電磁妨害雑音の周波数をメガヘルツ(MHz)単位で示し、縦軸は電磁妨害雑音の強さをデシベル(dB)単位で示す。これら図9と図11の波形に示されるEMI特性を比較すると、上述した一実施形態による液晶表示装置の駆動回路を用いることによって、40~230MHzの周波数帯域において10dB以上の電磁妨害雑音の低減効果が得られた。

【0027】

【発明の効果】以上説明したように、本発明によれば、画像データを液晶パネル1へ転送するためのバスラインを有する液晶表示装置の駆動回路において、バスラインへの出力に極性の変化を生じさせるデータ信号が過半数以上ある場合に、全データ信号の極性を反転してバスラインへ出力し、また、このバスラインへ出力されるデータ信号の極性が反転されていることを示す極性反転信号を出力するようにしたので、バスラインへの出力の極性の変化量を転送するデータ信号の半数以下に低減すること

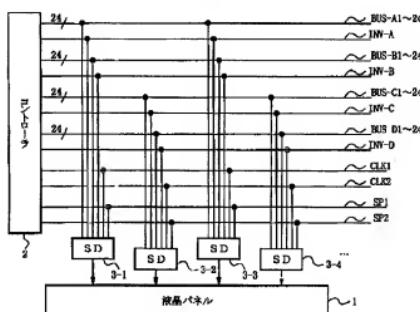
ができる。

【0028】その結果、従来の液晶表示装置の駆動回路に比して消費電力を少なくすることが可能である。さらに、従来の液晶表示装置の駆動回路に比してEMI特性が改善されるという効果も得られる。さらに、そのEMI特性が改善されることによって、従来の液晶表示装置の駆動回路において必要であった高価なEMI対策用部品を使用する必要が無くなるので、従来の液晶表示装置に比してコストを低減することができる。さらに、本発明を使用した液晶表示装置のEMI特性と未使用的液晶表示装置のEMI特性とを比較することによって、バスラインに起因するノイズがどの周波数で放射されているか分かるので、従来においては困難であった液晶表示装置から放射される電磁妨害雑音がバスラインに起因するノイズか否かを切り分けることが可能となる。

【0029】また、バスラインへの出力の極性の変化量が低減されることによって、データ誤りの原因となるバスライン間のクロストークノイズが低減されるという効果も得られる。さらに、データ極性反転判定手段と極性反転手段とをバスライン毎に設けるようにしたので、バスライン毎にデータの極性が反転されることにより、バスラインへの出力の極性の変化量をより低減することができる。さらに、半数のバスラインのクロックと他の半数のバスラインのクロックとは位相を半周期ずらすようにしたので、バスラインへの出力において同時に極性が変化する量を減らせることが可能となり、バスラインを駆動するコントローラ2の瞬時電流を低減することができる。

【図面の簡単な説明】

【図1】



【図7】

【図1】 本発明の一実施形態による液晶表示装置の駆動回路の構成を示すブロック図である。

【図2】 同実施形態によるコントローラ2に具備されるデータ出力部4の構成を示すブロック図である。

【図3】 図2に示すデータ出力部4の入出力信号の位相関係を示す波形図である。

【図4】 図2に示すデータ極性反転判定・生成部10-1～4の一構成例を示すブロック図である。

【図5】 図4に示すデータ極性反転判定・生成部の動作を示す波形図である。

【図6】 図5に示すデータ極性反転判定回路11の一構成例を示す回路図である。

【図7】 図6に示す極性変化検出回路21の動作を説明するための表である。

【図8】 図1に示す実施形態によって得られる効果を説明するための表である。

【図9】 図1に示す実施形態による液晶表示装置の駆動回路を用いて液晶パネル1を駆動した時のEMI特性の測定結果を示す波形図である。

【図10】 従来の液晶表示装置の駆動回路の構成を示すブロック図である。

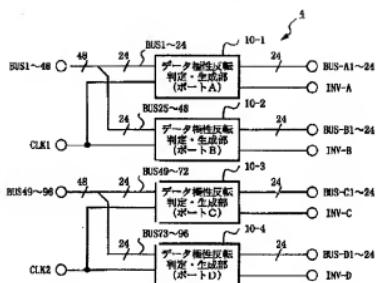
【図11】 従来の液晶表示装置の駆動回路を用いて液晶パネル1を駆動した時のEMI特性の測定結果を示す波形図である。

【符号の説明】

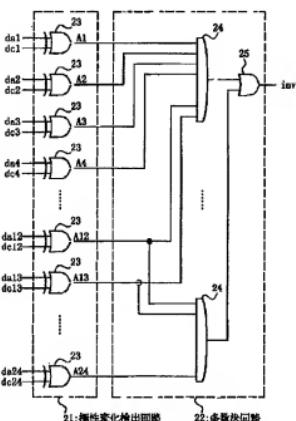
- 1 液晶パネル
- 2 コントローラ
- 3-1～4 ソースドライバ

n	1	2	3	4	5	22	23	24
doa	H	H	L	H	H	H	H	H
don	H	L	H	L	L	H	L	H
An	L	H	H	H	H	L	H	L

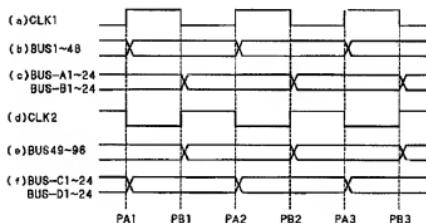
【図2】



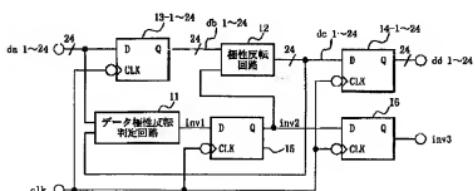
【図6】



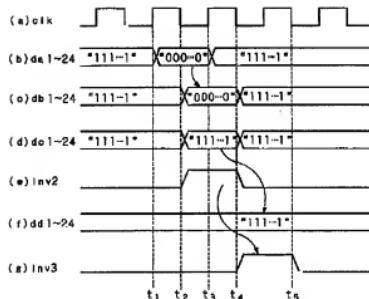
【図3】



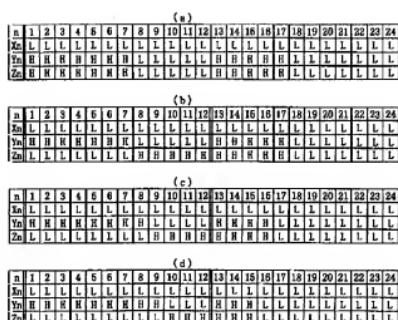
【図4】



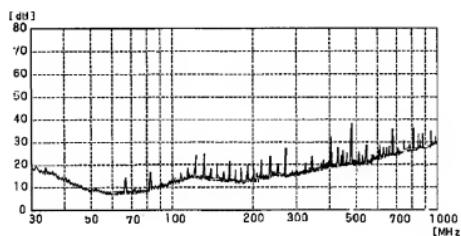
【図5】



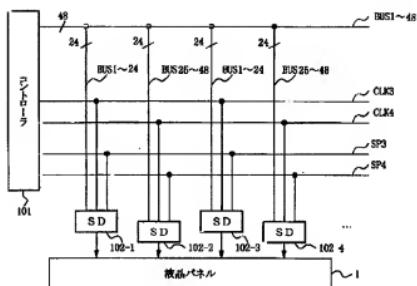
【図8】



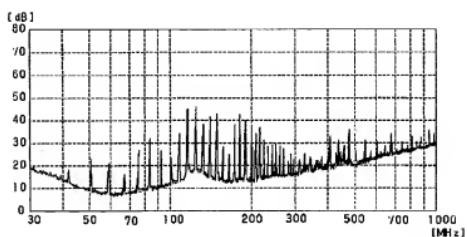
【図9】



【図10】



【図11】



フロントページの続き

(51) Int. Cl. 7		識別記号	FI	(参考)
G 0 9 G	3/20	6 2 1	G 0 9 G	6 2 1 B
		6 2 3		6 2 3 W
H 0 4 N	5/66	1 0 2	H 0 4 N	1 0 2 B
	9/30		5/66	
			9/30	

Fチーム(参考) 2H093 NA16 NA34 NC13 NC15 NC16
NC22 NC23 NC25 NC26 NC59
ND33 ND39 ND49 ND54 ND58
NE10
5C006 AA22 AC27 AF42 AF53 AF61
BB11 BC12 BC16 BC23 BF04
BF06 BF26 FA32 FA47
5C058 AA06 BA26 BA33 BB09
5C060 AA00 BA04 BA09 BD02 BE05
BE10 DB02 DB09 DB12 HB23
JB00
5C080 AA10 BB05 CC03 DD10 DD12
DD26 EE30 FF09 JJ02 JJ03
JJ04 JJ05